

PAT-NO: JP357143844A

DOCUMENT-IDENTIFIER: JP 57143844 A

TITLE: CHIP COMPOSITION OF WAFER

PUBN-DATE: September 6, 1982

INVENTOR-INFORMATION:

NAME

TERASAWA, TOMIZO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC WORKS LTD

N/A

APPL-NO: JP56028857

APPL-DATE: February 28, 1981

INT-CL (IPC): H01L021/78

US-CL-CURRENT: 257/E21.599, 438/464

ABSTRACT:

PURPOSE: To take more chips out of a wafer of an identical area and improve the yield by a method wherein hexagonal chips are formed on the wafer and are cut out.

CONSTITUTION: A disc wafer 2 is sliced out of a cylindrical semiconductor single crystal substance 1. The wafer is divided into hexagonal semiconductor chips 3 in which integrated circuits or like are composed. The impurity density in the circumference area of the substance 1 is different from that in the inner area, but the chips obtained by dividing the wafer into hexagons can be arranged in the circumference area at the relatively uniform intervals, so

that the deviation of the impurity density for respective chips can be avoided. And, for instance, 153 hexagonal chips can be cut out of a three-inch wafer, while 150 square chips can be cut out of the same wafer.

COPYRIGHT: (C)1982,JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-143844

⑬ Int. Cl.³
H 01 L 21/78

識別記号

庁内整理番号
7131-5F

⑭ 公開 昭和57年(1982)9月6日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ ウェハのチップ構造

門真市大字門真1048番地松下電
工株式会社内

⑯ 特 願 昭56-28857

⑰ 出 願 人 松下電工株式会社

⑱ 出 願 昭56(1981)2月28日

門真市大字門真1048番地

⑲ 発 明 者 寺澤富三

⑳ 代 理 人 弁理士 石田長七

明 細 書

1. 発明の名称

ウェハのチップ構造

2. 特許請求の範囲

(1) 円柱状の棒体をその軸方向と直交方向にスライスして半導体の不純物を含んだ円板状のウェハを形成し、このウェハを多数分割してトランジスタや集積回路が形成されるチップの形状を六角形に形成して成るウェハのチップ構造。

3. 発明の詳細な説明

本発明は大規模集積回路や集積回路に使用されるウェハのチップ構造に関するものである。

従来例を第1図及び第2図に示す。図中(1)は円柱状の棒体で、この棒体(1)をその軸方向と直交する方向に薄くスライスして半導体の不純物を含んだシリコン基板とする円板状のウェハ(2)を形成する。更にこのウェハ(2)を多数分割してトランジスタ、集積回路及び大規模集積回路が形成されるチップ(3)を形成している。例えば大規模集積回路(

以下LSIという)のチップ(3)を形成する場合に、第2図に示すように直径3インチの1枚のウェハ(2)から5mm角のチップ(3)が150個採れる。しかしながら、LSIチップ(3)を四角形に形成カットしていたため円形のウェハ(2)の周縁の部分(第1図に示す斜線部)はチップ(3)として使用できない面積が多いという問題があつた。またウェハ(2)の端部ぎりぎりの部分ではシリコンの不純物量が内部と異なるので、端部ぎりぎりのチップ(3)と内部のチップ(3)とはチップ(3)間の特性ばらつきが出るという問題があつた。

本発明は上述の点に鑑みて提供したものであつて、ウェハ上に六角形のチップを形成してカットすることにより、同一面積のウェハよりチップ数を多く採ることを目的としたウェハのチップ構造を提供するものである。

以下本発明の実施例を図面により詳述する。同ウェハ(2)自体の形成までは従来例と同様であるので省略する。即ち第3図及び第4図に示すように、四角形で形成した従来のチップ(3)面積と同一面

横で正六角形のチップ(3)を形成している。そしてこの正六角形のチップ(2)を多数形成して従来と同じ直径3インチのウエハ(2)上に形成すると153個のチップ(3)を形成することができる。またウエハ(2)の周縁部に対して従来と比べて比較的に間隔をもたせてチップ(3)を形成することができる。

本発明は上述のように、円柱状の棒体をその軸方向と直交方向にスライスして半導体の不純物を含んだ円板状のウエハを形成し、このウエハを多数分割してトランジスタや素子回路が形成されるチップの形状を六角形に形成するようにしたので、従来の同一の大きさのウエハからチップを形成するに際して、例えば直径3インチのウエハからチップを形成する場合、従来の1枚のウエハ当り150個から153個へと3個のチップを増加せしめることができ、しかも、四角形のチップを形成する場合、ウエハの周縁部ぎりぎりまでチップを採っていたのと比して、六角形のチップの場合には、ウエハの周縁部に間隔をもたせてとることができるので、周縁のチップと内部のチップとの特性

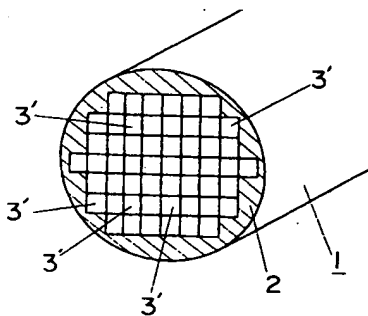
のばらつきも生じることなく歩留りを向上せしめ、しかも、従来と比べて面積が同一であるから歩留率も減少しない効果を奏する。

4 図面の簡単な説明

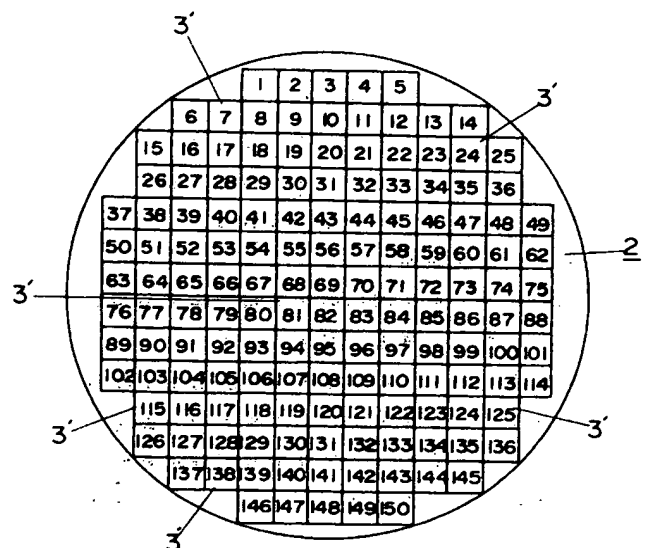
第1図は従来例の斜視図、第2図は同上のウエハの拡大正面図、第3図は本発明の実施例の斜視図、第4図は同上のウエハの拡大正面図で、(1)は棒体、(2)はウエハ、(3)はチップである。

代理人 弁理士 石 出 長 七

第1図



第2図



第 4 図

第 3 図

